

SEMICONDUCTOR LASER AND ITS MANUFACTURE

Publication number: JP3231483

Publication date: 1991-10-15

Inventor: NAKATSUKA SHINICHI; YAMASHITA SHIGEO;
UCHIDA KENJI; KAJIMURA TAKASHI

Applicant: HITACHI LTD

Classification:

- **international:** *H01S5/00; H01S5/042; H01S5/00*; (IPC1-7): H01S3/18

- **European:**

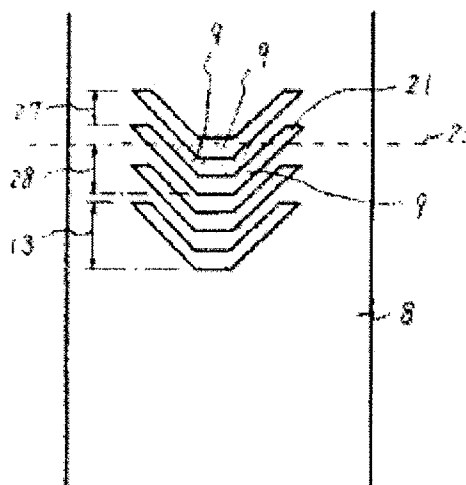
Application number: JP19900026024 19900207

Priority number(s): JP19900026024 19900207

Report a data error here

Abstract of JP3231483

PURPOSE: To enhance the controllability of the width of a non-excitation region at an edge by a method wherein a region in which a metal film of an electrode part does not exist and which reaches the edge is formed at an edge part and a region to which an electric current is not applied is prescribed by the region and the edge. **CONSTITUTION:** A plurality of V-shaped slits 21 are formed along the stripe direction at an edge part on one side of a Cr/Au electrode 8; a mutual interval 27 of the slits 21 is formed in such a way that it does not exceed a size 13 of the slits in the stripe direction. Thereby, a cleavage operation can be executed in such a way that it crosses at least any of the slits 21. As a cleavage position 25 is approached to the apex of the slits at this time, the cleavage position is overlapped with the adjacent slit 21, and the adjacent slit 21 becomes the outer circumference of a new region 9 to which an electric current is not applied. As a result, the maximum value of a width 28 of the region 9 becomes the size 23 of the slits and the minimum value becomes a value obtained by subtracting the interval 27 between the adjacent slits 21 from the size 13. It is possible to sharply enhance the controllability of the width 28 of the region 9.



Data supplied from the esp@cenet database - Worldwide

⑫ 公開特許公報(A) 平3-231483

⑤Int.Cl.⁵

識別記号

庁内整理番号

④公開 平成3年(1991)10月15日

H 01 S 3/18

6940-5F

審査請求 未請求 請求項の数 5 (全5頁)

⑭発明の名称 半導体レーザ及びその製造方法

⑰特 願 平2-26024

⑱出 願 平2(1990)2月7日

⑲発 明 者 中 塚 慎 一 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑲発 明 者 山 下 茂 雄 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑲発 明 者 内 田 憲 治 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑲発 明 者 梶 村 俊 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑲出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑲代 理 人 弁理士 小川 勝男 外1名

明 細 書

1. 発明の名称

半導体レーザ及びその製造方法

2. 特許請求の範囲

1. ストライプ状導波路が形成されたレーザ共振器の少なくとも一方の端面部が非通電領域である半導体レーザにおいて、上記端面部には上記半導体レーザの電極部の少なくとも金属膜のない領域が存在し、かつ該領域は上記端面に達しており、該領域と上記端面とで上記非通電領域を規定していることを特徴とする半導体レーザ。
2. 特許請求の範囲第1項記載の半導体レーザにおいて、上記金属膜は中央部が上記端面と反対側に屈曲した形状のスリットを上記ストライプ状導波路に沿って複数個有し、該スリットの設置間隔は該スリットのストライプ方向の大きさ以下である半導体レーザ。
3. 特許請求の範囲第1項又は第2項記載の半導体レーザにおいて、上記電極部のうち上記金属膜と接続し、かつ光導波に直接寄与しない半導

体層の少なくとも一部が、上記スリット部において取り除かれている半導体レーザ。

4. 特許請求の範囲第1項又は第2項記載の半導体レーザの製造方法において、上記電極部の少なくとも金属膜を、中央部がレーザ共振器端面と反対側に屈曲した複数のスリットがストライプ状導波路に沿って配置された平面形状を有する如く形成する工程と、該工程後に上記スリットと交差するようにへき開を行う工程を有することを特徴とする半導体レーザの製造方法。

5. 特許請求の範囲第4項記載の半導体レーザの製造方法において、上記金属膜をマスクとして上記半導体層の少なくとも一部を取り除く工程を有する半導体レーザの製造方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、書き込み可能光ディスク等への応用を目的とした高出力半導体レーザに関する。

〔従来の技術〕

従来の端面非励起半導体レーザとしては、例え

ば第5図に示す「田尻 他 1989年春季応物講演会予稿 911P」の如く、基板に設けたV溝30により電流及び光閉じ込めを行うレーザ構造において、端面近傍の電流ブロック層を残すことにより(符号31)、端面領域のみを非通電状態とし温度上昇による端面破壊現象を防止するものがある。

〔発明が解決しようとする課題〕

上記従来技術の場合、レーザ端面の非励起領域の幅の制御性は、 $15\mu\text{m}$ 以上という大きなへき開位置の誤差により制限されており、十分な光破壊防止効果を得るためには非励起領域を長めに設計する必要がある。このため、光出力電流特性に過飽和吸収のあるレーザに典型的な、電流増加に伴い急激にレーザ発振を始める特性がみられ、また、特性のパラッキも大きく、実用上問題であった。

本発明の目的は、非励起領域幅の制御性の良い半導体レーザの製造方法を与え、これにより得られる非励起領域幅が $10\sim 20\mu\text{m}$ の半導体レー

ザを再現性よく供給することにある。

〔課題を解決するための手段〕

上記従来の端面非励起型レーザの問題点を解決するため本発明では、半導体レーザの少なくとも金属電極に、該金属電極を中央部が端面と反対側に屈曲したスリット状にくりぬいたスリット状領域をレーザストライプに沿って複数個設け、これらのスリット状領域の間隔をスリット状領域のストライプ方向の大きさよりも小さいものとし、これらのスリット状領域の少なくとも1つにへき開線が交差するようにへき開を行い半導体レーザを形成することを考案した。具体的には次のとおりである。

1. ストライプ状導波路が形成されたレーザ共振器の少なくとも一方の端面部が非通電領域である半導体レーザにおいて、上記端面部には上記半導体レーザの電極部の少なくとも金属膜のない領域が存在し、かつ該領域は上記端面に達しており、該領域と上記端面とで上記非通電領域を規定していることを特徴とする半導体レーザ。

2. 上記第1項記載の半導体レーザにおいて、上記金属膜は中央部が上記端面と反対側に屈曲した形状のスリットを上記ストライプ状導波路に沿って複数個有し、該スリットの設置間隔は該スリットのストライプ方向の大きさ以下である半導体レーザ。

3. 上記第1項又は第2項記載の半導体レーザにおいて、上記電極部のうち上記金属膜と接続し、かつ光導波に直接寄与しない半導体層の少なくとも一部が、上記スリット部において取り除かれている半導体レーザ。

4. 上記第1項又は第2項記載の半導体レーザの製造方法において、上記電極部の少なくとも金属膜を、中央部がレーザ共振器端面と反対側に屈曲した複数のスリットがストライプ状導波路に沿って配置された平面形状を有する如く形成する工程と、該工程後に上記スリットと交差するようにへき開を行う工程を有することを特徴とする半導体レーザの製造方法。

5. 上記第4項記載の半導体レーザの製造方法に

において、上記金属膜をマスクとして上記半導体層の少なくとも一部を取り除く工程を有する半導体レーザの製造方法。

〔作用〕

第1図のV字状スリット21を有する電極パターン8の場合を例に本発明の作用を説明する。端面形成時のへき開を上記V字状スリットと交差するように行うことにより(第1図の場合は符号21の位置)、このスリットと端面とで囲まれる金属電極領域(斜線部分)が、残りの金属電極と電気的に分離されて電流が供給されなくなるため、非通電領域9が形成される。このようなV字状スリット21をレーザストライプ上に、ストライプ方向に沿って複数個配列し、V字状スリット相互の間隔27がストライプ方向のV字状スリットの大きさ13を超えないものとするにより、これらのV字状スリット21の少なくともどれかと交差するようにへき開をおこなうことができる。この時、へき開位置がV字状スリットの頂点に近づくにつれ隣接するV字状スリット21にへき開が

かかり、隣接するV字状スリット21が新たな非通電領域9の外周となる。この結果、非通電領域の幅28の最大値はV字状スリットの大きさ13、最小値はV字状スリットの大きさ13から隣接するV字スリットとの間隔27を差し引いた値となる。このV字状スリット21はフォトリソグラフ技術により形成可能であるため、従来のへき開位置の精度により決定されていた非通電領域に比し大幅に非通電領域の幅28の制御性が向上する。なお、スリットの形状はV字形を例にとり説明したが、へき開により電極を島状に分離しうる形状であればいかなる形状でも同様の効果が得られる。また、一定の範囲の非通電領域の幅を与える形状であれば複数個配列されたスリットの形状が同一である必要もないことはいうまでもない。

〔実施例〕

実施例 1

本発明の実施例1を第1図～第3図に従い説明する。本発明の特徴は第1図のように、半導体レーザの表電極にV字状スリット21を設けたこと

7の結晶成長を行なう。次に、Cr/Au電極8を真空蒸着及びリフトオフにより形成する。この時、Cr/Au電極8には一方の端面部に第1図のようなV字状スリット21をストライプに沿って4個設ける。V字状スリットの大きさ13は $20\mu\text{m}$ であり、V字状スリットの間隔27は $6\mu\text{m}$ である。次に、電極パタンの効果を強めるため、さらにCr/Au電極8をマスクとして、p-GaAs7の化学エッチングを行なう。次に、裏面電極としてAuGeNi/Cr/Au24を蒸着した後、V字状スリット部でへき開し（符号25）、レーザチップとする。これにより、レーザ端面から一定の範囲の電極（斜線部分）は、他の部分の電極から分離され非通電領域9が形成される。非通電領域の幅28は、最大で $20\mu\text{m}$ 、最小で $14\mu\text{m}$ となる。次に、上記レーザチップの非通電領域側の端面にSiO₂低反射コーティング10を、非通電領域のない側の端面にSiO₂/a-Si高反射コーティング11を行なう。次に、第3図に示すようにpサイドダウンによりレ

である。このような構造の電極は、あらゆる構造の半導体レーザに適用可能であるが、本実施例では特に端面非励起の効果が現れやすいリッジ状の構造をMOCVD法により選択的に埋め込んだGaAlAs系半導体レーザについて述べる。この構造は第2図に示すような構造のもので、作製手順は次の通りである。まず、n形GaAs基板1上にMOCVD法によりn-Al_{0.5}Ga_{0.5}Asクラッド層2、量子井戸構造活性層3、p-Al_{0.5}Ga_{0.5}Asクラッド層4、p-GaAs層5を成長する。次に、ストライプ状のSiO₂をマスクとしてp-Al_{0.5}Ga_{0.5}Asクラッド層4の途中まで化学エッチングを行い、リッジ状のストライプ26を形成する。次に、SiO₂を残したままMOCVD法によるn-GaAs6の結晶成長を行い上記のリッジ状ストライプ26を埋め込む。この時、MOCVDの性質のため、SiO₂上にはn-GaAs6は成長しない。次に、SiO₂を除去してリッジ上面を露出し、この状態でさらにMOCVD法によりp-GaAs

レーザチップをSiC製サブマウント12にダイボンディングした。この時、非通電領域9がSiC製サブマウント12に係らないようにした。なお、非通電領域の幅28の最適値は、各層の組成やキャリア濃度等により $10\mu\text{m}$ ～ $50\mu\text{m}$ の範囲で異なった値となるので、V字状スリットの大きさ13もこれらの設計値を考慮して設計する必要がある。また、実施例の値に固定するものではない。またV字状スリットの間隔27は非通電領域の幅28の誤差を決定する量であり $10\mu\text{m}$ 以内にする必要がある。また、本実施例ではV字状スリット21の数は4個としたが、へき開がV字状スリット21に係るように制御できる範囲で有れば任意の個数とすることができるとはいうまでもない。また、本実施例ではGaAlAs系半導体レーザを例に述べたが、本発明は本質的に半導体レーザの電極の構造に係るものであり、あらゆる材料系の半導体レーザに適用可能である。

実施例 2

本発明の実施例2を第4図に従い説明する。実

施例1では電極遮断の効果がより完全に現れるようリッジ型レーザに関して述べたが、例えばSAS構造とよばれる第4図のような構造においても十分な効果が得られる。本実施例では AlGaInP 系の材料によるSAS構造レーザを例にとり説明する。この構造は第4図に示すような構造のもので、作製手順は次のとおりである。まず、 n 形 GaAs 基板1上にMOCVD法により $n-(\text{Al}_{0.5}\text{Ga}_{0.5})_{0.5}\text{In}_{0.5}\text{P}$ クラッド層14、 $\text{In}_{0.5}\text{Ga}_{0.5}\text{P}$ 活性層15、 $p-(\text{Al}_{0.5}\text{Ga}_{0.5})_{0.5}\text{In}_{0.5}\text{P}$ クラッド層16、 $n-\text{GaAs}$ 層17を成長する。次に、 $n-\text{GaAs}$ 層17にストライプ状の溝18を化学エッチングにより形成した後、MOCVD法により $p-(\text{Al}_{0.5}\text{Ga}_{0.5})_{0.5}\text{In}_{0.5}\text{P}$ クラッド層19、 $n-\text{GaAs}$ 層20を成長する。次に、 Cr/Au 電極8を真空蒸着及びリフトオフにより形成する。この時、 Cr/Au 電極8には一方の端面部に第1図のようなV字状スリット21をストライプに沿って4個設ける。V字状スリットの大きさ13は20

μm であり、V字状スリットの間隔27は6 μm である。次に、裏面電極として $\text{AuGeNi}/\text{Cr}/\text{Au}$ 24を蒸着した後、V字状スリット部でへき開し(符号25)、レーザチップとする。これにより、レーザ端面から一定の範囲の電極(斜線部分)は、他の部分の電極から分離され非通電領域9が形成される。非通電領域の幅28は、最大で20 μm 、最小で14 μm となる。次に、上記レーザチップの非通電領域側の端面に SiO_2 低反射コーティング10を、非通電領域のない側の端面に $\text{SiO}_2/\text{a-Si}$ 高反射コーティング11を行なう。次に、第3図に示すように p サイドダウンによりレーザチップを SiC 製サブマウント12にダイボンディングした。この時、非通電領域9が SiC 製サブマウント12に係らないようにした。

〔発明の効果〕

本発明によれば、中央部が端面に対し反対側に屈曲したスリット状に電極部を取り除いた領域の形状によって決まる端面近傍の一定領域のみが非

励起となるので、端面非励起領域の幅の制御性が大幅に向上する。このため、へき開精度に制限されずに幅の狭い端面非励起領域を再現性良く形成することができる。この結果、通常の半導体レーザとまったく同様の光出力電流特性をもちながら、光破壊出力レベルが2倍近い値となる半導体レーザが得られた。

4. 図面の簡単な説明

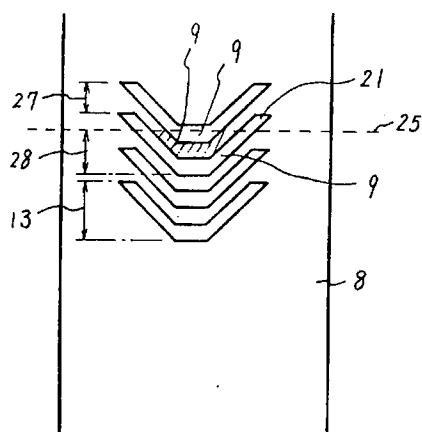
第1図は本発明の実施例1及び2の電極パタンの形状を示す図、第2図は本発明の実施例1の斜視図、第3図は本発明の実施例1及び2の半導体レーザの組立図、第4図は本発明の実施例2の斜視図、第5図は従来の端面非励起型半導体レーザの斜視図である。

1… n 形 GaAs 基板、2… $n-(\text{Al}_{0.5}\text{Ga}_{0.5})_{0.5}\text{In}_{0.5}\text{P}$ クラッド層、3…量子井戸構造活性層、4… $p-(\text{Al}_{0.5}\text{Ga}_{0.5})_{0.5}\text{In}_{0.5}\text{P}$ クラッド層、5… $p-\text{GaAs}$ 層、6… $n-\text{GaAs}$ 層、7… $p-\text{GaAs}$ 層、8… Cr/Au 電極、9…非通電領域、10… SiO_2 低反射コーティング、11… $\text{SiO}_2/\text{a-Si}$

高反射コーティング、12… SiC 製サブマウント、13…V字状スリットの大きさ、14… $n-(\text{Al}_{0.5}\text{Ga}_{0.5})_{0.5}\text{In}_{0.5}\text{P}$ クラッド層、15… $\text{In}_{0.5}\text{Ga}_{0.5}\text{P}$ 活性層、16… $p-(\text{Al}_{0.5}\text{Ga}_{0.5})_{0.5}\text{In}_{0.5}\text{P}$ クラッド層、17… $n-\text{GaAs}$ 層、18…ストライプ状の溝、19… $p-(\text{Al}_{0.5}\text{Ga}_{0.5})_{0.5}\text{In}_{0.5}\text{P}$ クラッド層、20… $n-\text{GaAs}$ 層、21…V字状スリット、22… $p-\text{GaAs}$ 基板、23… $\text{Al}_{0.5}\text{Ga}_{0.5}\text{As}$ 活性層、24… $\text{AuGeNi}/\text{Cr}/\text{Au}$ 、25…へき開位置、26…リッジ状ストライプ、27…V字状スリットの間隔、28…非通電領域の幅、29… $n-\text{GaAs}$ 層、30…V溝、31…非通電状態を得るために端面領域に残した電流ブロック層部分。

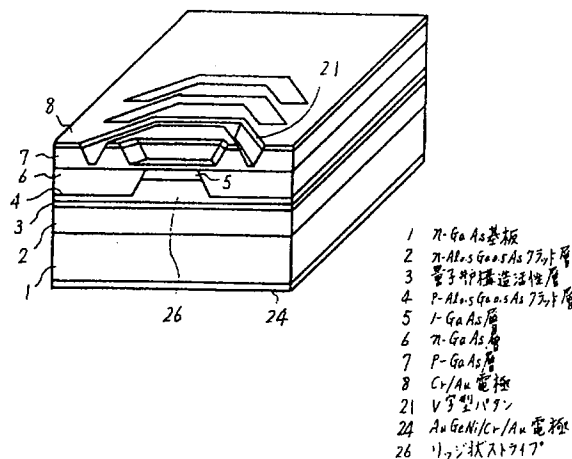
代理人 弁理士 小川勝男

第 1 図

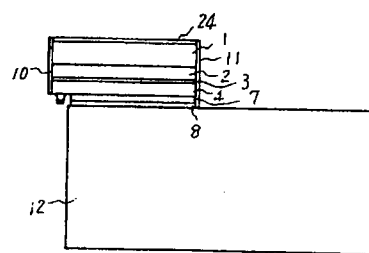


- | | |
|-------------------------------------------------------|---------------|
| 1 π -GaAs基板 | 9 非通電領域 |
| 2 π -Al _{0.5} Ga _{0.5} As フラット層 | 13 V字状スリット太さ |
| 3 量子井型活性層 | 21 V字状スリット |
| 4 p -Al _{0.5} Ga _{0.5} As フラット層 | 25 へき開位置 |
| 7 p -GaAs層 | 27 V字状スリットの間隔 |
| 8 Cr/Au 電極 | 28 非通電領域の幅 |

第 2 図

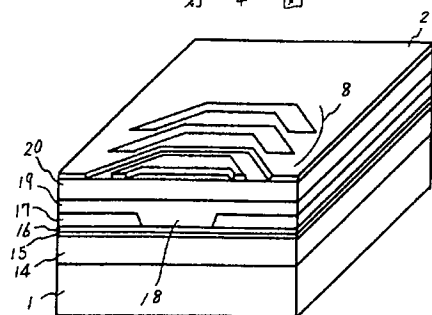


第 3 図



- | | |
|-------------------------------|-----------|
| 10 SiO ₂ 絶縁層 | コーティング |
| 11 SiO ₂ /a-Si 高反射 | コーティング |
| 12 S.C製 | サニタリゼーション |

第 4 図



第 5 図

